

PCT/JP 2004/003808

日本国特許庁
JAPAN PATENT OFFICE

19. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月20日
Date of Application:

出願番号 特願2003-078002
Application Number:
[ST. 10/C]: [JP 2003-078002]

REC'D 13 MAY 2004

WIPO PCT

出願人 松下電器産業株式会社
Applicant(s):

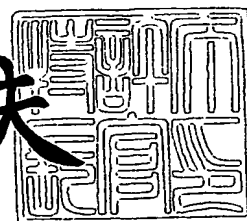
BEST AVAILABLE COPY

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 4月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3034331

【書類名】 特許願

【整理番号】 2030250017

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 岩永 順子

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 ▲たか▼木 剛

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 神澤 好彦

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 空田 晴之

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 齊藤 徹

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 川島 孝啓

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 基板上に凹型半導体層と、前記凹型半導体層内に設けられた凸型半導体層と、前記凸型半導体層に設けられたソース領域とドレイン領域と、前記ソース領域と前記ドレイン領域の間の凸型半導体層の側面および上面に設けられた絶縁膜と、前記絶縁膜に接して設けられ、前記凸型半導体層の側面および上面に前記絶縁膜を介して電界効果を与えるゲート電極とを備えた電界効果トランジスタであって、前記凹型半導体層の側壁に絶縁膜が形成されていることを特徴とする電界効果トランジスタ。

【請求項 2】 前記凸型半導体層がシリコン半導体あるいはシリコンゲルマニウム半導体あるいは歪シリコン半導体からなることを特徴とする請求項 1 に記載の電界効果トランジスタ。

【請求項 3】 基板上に第 1 の絶縁膜をマスクに所望の凹型半導体層を設ける工程と、前記凹型半導体層内の側壁および底面に第 2 の絶縁膜を形成する工程と、前記第 1 の絶縁膜および前記第 2 の絶縁膜上に第 3 の絶縁膜を形成した後に前記凹型半導体層の底部が露出するまで第 3 の絶縁膜および第 2 の絶縁膜の一部を除去して前記第 2 の絶縁膜に前記第 3 の絶縁膜からなる側壁を残す工程と、前記露出した半導体上に凸型半導体層を形成する工程と、ゲート電極を形成する所望の領域の前記第 3 の絶縁膜からなる側壁を取り除いて凸型半導体層を露出する工程と、前記露出した凸型半導体層表面に第 4 の絶縁膜を設ける工程と、前記ゲート電極を形成する所望の領域の前記第 4 の絶縁膜と前記第 2 の絶縁膜の間および前記第 4 の絶縁膜上に凸型半導体層の側面と上面を跨ぐゲート電極を埋め込む工程と、前記凸型半導体層に少なくとも前記ゲート電極をマスクにソース領域およびドレイン領域を形成する工程とを備えたことを特徴とする電界効果トランジスタの製造方法。

【請求項 4】 基板上に所望の凹型半導体層を設ける工程と、前記凹型半導体層内に側壁を設ける工程と、前記凹型半導体層内に前記側壁にそって凸型半導体層を設ける工程と、ゲート電極を形成する所望の領域の前記側壁を取り除く工程

と、前記ゲート電極を形成する所望の領域の凸型半導体層表面に第1の絶縁膜を形成する工程と、前記ゲート電極を形成する所望の領域の凹型半導体層内表面に第2の絶縁膜を形成する工程と、前記ゲート電極を形成する所望の領域の前記第1の絶縁膜と前記第2の絶縁膜の間および前記第2の絶縁膜上に凸型半導体層の側面と上面を跨ぐゲート電極を埋め込む工程と、前記凸型半導体層に少なくとも前記ゲート電極をマスクにソース領域およびドレイン領域を形成する工程とを備えたことを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダブルゲート構造のMOS型電界効果トランジスタに関し、特にFIN形状の半導体層の側面にゲート電極をもつFINFETに関する。

【0002】

【従来の技術】

近年、MOS型構造を有する半導体デバイスの高性能化のひとつの手段として、基板上にFIN形状の凸型半導体層を形成し、その側面にゲート電極を形成してチャネル領域を形成するFINFETが提案されている。

【0003】

例えば、非特許文献1に開示されているように、SOI基板のBOX101上に20nm程度の(x軸方向に)薄いシリコンFIN102を(y軸方向に)細長く形成し、それを跨ぐようにゲート酸化膜106ごしにポリシリコンからなるゲート電極103を形成し、ソースパッド104およびドレインパッド105を形成する構造がある(図19(a)、図19(b))。

【0004】

このようにして作製されるFINFETはダブルゲート構造をとっているので、カットオフ特性の向上やショートチャネル効果の抑制などに効果が高く、MOS型FETのゲート長を短縮した際に生ずる課題に対して有効な解決手段であると考えられている。

【0005】

また、例えば特許文献1には、上記したF I N F E Tを改善した構造が提案されており、シリコン基板上にF I Nを形成して基板バイアスの印加を可能とすることで、S O I基板上の完全空乏型トランジスタに起こりうる蓄積ホール（Nチャネルの場合）の影響によるソース・ドレイン耐圧の劣化をおさえることができる構造がいくつか開示されている。

【0006】

その中に、半導体基板上に開孔を有する絶縁膜を形成し、前記開孔部にF I Nとゲート電極を形成するという特徴を備えた、製造の容易さに優れた構造が提案されている。

【0007】

図20に前記特許文献による従来構造図の一例を示す。

ここに、201はp型Si基板、202はS i O₂膜、203はシリコンF I N、204はゲート酸化膜、205は第一ゲート電極、206は第二ゲート電極、207はゲート側壁絶縁膜、208はソース・ドレインLDD領域、209はソース領域、210はドレイン領域、211は層間絶縁膜、212はソース・ドレインコンタクトプラグである。

【0008】

F I Nの形成方法については、Si基板をエッチング除去して形成するものや前記絶縁膜の開孔部にエピタキシャル成長で形成するものなどが記載されている。

【0009】

【特許文献1】

特開2002-118255号公報（38頁、図20）

【非特許文献1】

IEDM Technical Digest pp.437-440（2001）（J. Kedzierski, 他）

【非特許文献2】

J. Kedzierski 他（IBM）, "High-performance symmetric-gate and CMOS-compatible Vt asymmetric-gate F I N F E T devices," IEEE IEDM Technical Digest, 2001, pp. 437-440.

【0010】

【発明が解決しようとする課題】

しかしながら、このようにして形成された F I N F E T は、いずれの場合も平坦性に欠く課題があった。

【0011】

そのため、従来のプレーナー MOS F E T と混載する場合、例えば、図 21 に示すように、段差が大きく、工程を統一できないなどの問題があった。ここに、左側が F I N F E T の断面図であり、右側がプレーナー MOS F E T の断面図であり、213 はソース電極であり、214 はドレイン電極である。

【0012】

本発明は、高耐圧のプレーナー MOS F E T との集積が容易で、高速動作が可能な F I N F E T を提供することを目的とする。

【0013】**【課題を解決するための手段】**

上記目的を達成する本発明に係る電界効果トランジスタは、基板上に凹型半導体層と、凹型半導体層内に設けられた凸型半導体層と、凸型半導体層に設けられたソース領域とドレイン領域と、ソース領域とドレイン領域の間の凸型半導体層の側面および上面に設けられた絶縁膜と、絶縁膜に接して設けられ、凸型半導体層の側面および上面に絶縁膜を介して電界効果を与えるゲート電極とを備えた電界効果トランジスタであって、凹型半導体層の側壁に絶縁膜が形成されていることを特徴とする。

【0014】

凸型半導体層がシリコン半導体あるいはシリコンゲルマニウム半導体あるいは歪シリコン半導体からなることが好ましい。

【0015】

上記目的を達成する本発明に係る電界効果トランジスタの製造方法は、基板上に第1の絶縁膜をマスクに所望の凹型半導体層を設ける工程と、凹型半導体層内の側壁および底面に第2の絶縁膜を形成する工程と、第1の絶縁膜および第2の絶縁膜上に第3の絶縁膜を形成した後に凹型半導体層の底部が露出するまで第3の絶縁膜および第2の絶縁膜の一部を除去して第2の絶縁膜に第3の絶縁膜から

なる側壁を残す工程と、露出した半導体上に凸型半導体層を形成する工程と、ゲート電極を形成する所望の領域の第3の絶縁膜からなる側壁を取り除いて凸型半導体層を露出する工程と、露出した凸型半導体層表面に第4の絶縁膜を設ける工程と、ゲート電極を形成する所望の領域の第4の絶縁膜と第2の絶縁膜の間および第4の絶縁膜上に凸型半導体層の側面と上面を跨ぐゲート電極を埋め込む工程と、凸型半導体層に少なくともゲート電極をマスクにソース領域およびドレイン領域を形成する工程とを備えたことを特徴とする。

【0016】

上記目的を達成する本発明に係る他の電界効果トランジスタの他の製造方法は、基板上に所望の凹型半導体層を設ける工程と、凹型半導体層内に側壁を設ける工程と、凹型半導体層内に側壁にそって凸型半導体層を設ける工程と、ゲート電極を形成する所望の領域の側壁を取り除く工程と、ゲート電極を形成する所望の領域の凸型半導体層表面に第1の絶縁膜を形成する工程と、ゲート電極を形成する所望の領域の凹型半導体層内表面に第2の絶縁膜を形成する工程と、ゲート電極を形成する所望の領域の第1の絶縁膜と第2の絶縁膜の間および第2の絶縁膜上に凸型半導体層の側面と上面を跨ぐゲート電極を埋め込む工程と、凸型半導体層に少なくともゲート電極をマスクにソース領域およびドレイン領域を形成する工程とを備えたことを特徴とする電界効果トランジスタの製造方法。

【0017】

【発明の実施の形態】

(第1の実施形態)

以下、本発明の第1の実施形態について、図面を参照しながら説明する。

図1に、第1の実施形態におけるF I N F E Tの斜視図を、図11 (a) (b) (c) にその断面図を示す。

【0018】

ここに、1は例えば $5 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物濃度をもつp型ウェル、2は例えばSiO₂膜からなる絶縁膜、3はチャネルストッパー層となる例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度の高濃度不純物領域、4は例えばSiO₂膜からなる分離の絶縁膜、5は例えばSiO₂膜からなる絶縁膜、6は例えばエピタキシャル成長によつ

て形成された凸型シリコン F I N、8 は例えば S i O₂ 膜からなるゲート絶縁膜、9 はたとえばポリシリコンからなる第 1 ゲート電極、10 はソース・LDD 領域、11 はドレイン・LDD 領域、12、13 はゲート側壁絶縁膜、14 はソース領域、15 はドレイン領域、16 はたとえばチタンシリサイドからなるゲート電極、17 はたとえばチタンシリサイドからなるソース電極、18 はたとえばチタンシリサイドからなるドレイン電極である。

【0019】

シリコン F I N 6 の設計例としては、x 方向に厚さ 20 nm、z 方向の高さ 200 nm、ゲート絶縁膜 8 の厚さが 2 nm、シリコン F I N 6 の側壁のポリシリコン第 1 ゲート電極 9 の厚さが 75 nm、シリコン F I N 6 の側壁のポリシリコンからなる第 1 ゲート電極 9 と p 型シリコンウェル 1 を分離する絶縁膜 4 の厚さが 150 nm である。

【0020】

シリコン F I N 6 がシリコンウェル 1 にうめこまれているので、F I N 6 とゲート電極 9 が安定した形状をとっている。また、絶縁膜 2、4 および 5 でシリコン基板との分離がなされている。

【0021】

図 12 に、このようにして形成した F I N F E T と従来型のプレーナー MOS F E T を集積した例を示す。左が本実施形態における F I N F E T の断面図であり、右がプレーナー MOS F E T の断面図である。19 はプレーナー MOS F E T の分離用トレンチ領域である。図 12 と従来例である F I N 203 がシリコン基板 201 から突出している図 21 とを比較すれば理解されるように、本実施形態によれば、F I N F E T と MOS F E T とを同一の面上に形成することができる。より詳細に説明すれば、本実施形態においては、F I N 6 がシリコン基板 1 の内部に埋められているので、F I N F E T のソース電極 17 およびドレイン電極 18 が位置する面と、MOS F E T のソース電極 17 およびドレイン電極 18 が位置する面とをシリコン基板 1 の同一の高さの面、すなわち、シリコン基板 1 の同一の面にすることができる。

【0022】

本実施形態による F I N F E T を用いると、平坦性に優れたプレーナー M O S F E T との集積化が可能であり、いくつかの工程を共通化することが可能となり、製造コストの低減にも効果がある。

【0023】

次に、第1の実施形態に係る F I N F E T の製造方法の一例を、図2から図11の工程断面図を用いて説明する。p型シリコン基板の上にn型 F I N F E T を形成する。

【0024】

まず、図2 (a) (b) (c) に示すように、p型シリコンウェル1上に形成された例えば300nmの厚さの S i O₂ 膜からなる絶縁膜2をマスクに、トランジスタを形成する所望の領域のp型シリコンウェルをエッチング除去し、開口部100を設ける(図2 (b))。これに、たとえばボロンをイオン注入後アニール処理することでp型の高濃度不純物領域3を形成して、チャネルストッパー層を設ける。

【0025】

なお、図2 (b) および図2 (c) は、それぞれ図2 (a) のA-A線断面図、および図2 (a) のB-B線断面図である。すなわち、図2 (a) はx y面を含む図、図2 (b) はx z面を含む図、図2 (c) はy z面を含む図である。なお、図1に示す方向x y zと図2以降に示される方向x y zにそれぞれ対応する。また、図3から図11まで、および図13から図17までの図(a) (b) (c) の切断面の関係は、図2 (a) (b) (c) と同様である。そのため、図3以降においては、x y z方向を示す矢印や断面線(A-A線など)を省略する。

【0026】

次に、図3 (a) (b) (c) に示すように、p型シリコンウェル1の開口部100を熱酸化することで分離のための S i O₂ からなる絶縁膜4を形成し、更に全面に例えば S i O₂ 膜あるいは S i N 膜からなる絶縁膜5を、開口部100に側壁ができるように堆積する。

【0027】

このとき、F I N 6 が形成される部分の設計例として、開口部100の大きさ

は以下の通りである。x方向に厚さ320nm、z方向の高さが200nm、絶縁膜5の側壁の厚さが75nm、絶縁膜4の側壁の厚さが150nmである。

【0028】

次に、図4(a)(b)(c)に示すように、絶縁膜5および4を除去して、高濃度不純物シリコン領域3を露出させる。このとき、絶縁膜5は側壁として残る。

【0029】

次に、図5(a)(b)(c)に示すように、前記露出した高濃度不純物シリコン領域3に、エピタキシャル成長法をもちいて例えばシリコンFIN6およびソース・ドレインパッドとなる領域を形成する。

【0030】

次に、図6(a)(b)(c)に示すように、例えばレジスト7をマスクに、ゲート電極を形成する所望の領域の絶縁膜5からなる側壁を除去し、シリコンFIN6の所望の領域を露出する。

【0031】

次に、図7(a)(b)(c)に示すように、露出したシリコンFIN6の所望の領域を酸化して、SiO₂膜からなるゲート酸化膜8を形成する。このとき、ゲート絶縁膜の厚さはたとえば、2nm程度とする。

【0032】

次に、図8(a)(b)(c)に示すように、レジスト7をマスクにたとえばポリシリコンを堆積し、シリコンFIN6をゲート絶縁膜8越しにくるむように隙間をうめて、第1ゲート電極9を形成する。

【0033】

次に、図9(a)(b)(c)に示すように、前記レジスト7を除去したのち、例えばリンを注入してソース・LDD領域10およびドレイン・LDD領域11を形成する。

【0034】

次に、図10(a)(b)(c)に示すように、ゲート側壁絶縁膜12、13を形成して、例えばリンを注入して、ソース領域14およびドレイン領域15を

形成する。

【0035】

次に、図11(a)(b)(c)に示すように、ソース領域14、ドレイン領域15ならびに第1ゲート電極9の上面をたとえばチタンサリサイド化し、第2ゲート電極16、ソース電極17およびドレイン電極18を形成する。このようにして、図12に示すF I N F E Tが形成される。

【0036】

本実施形態の製造方法によると、シリコンF I N 6がシリコンウェル1（すなわち、シリコン基板）の表面から突出していない平坦なF I N F E Tを形成することができ、プレーナーMOSFETとの集積を容易に行える。

【0037】

また、シリコン基板1に溝を掘って、側壁を形成してから、シリコンF I N 6をエピタキシャル成長するので、露光限界よりもさらに細いシリコンF I N 6を容易に形成することができ、完全空乏型のF I N 6となるので、ショートチャネル効果が起こりにくい、基板容量が小さいなどの長所をもつ。

【0038】

また、溝を深く掘ることで高いF I N 6を形成することもでき、小面積でチャネル面積を広くとれる。高さが高くてもF I N 6は埋め込まれているので、倒れることなく安定した形状を保てる。更に、シリコン基板1とF I N 6が接続されているのでバイアスの印加も可能であり、完全空乏型S O Iデバイスにありがちな、蓄積ホールによる耐圧の低下の問題もない。

【0039】

（第2の実施形態）

以下、本発明の第2の実施形態について、図面を参照しながら説明する。

図18に、第1の実施形態におけるF I N F E Tの斜視図を、図17(a)(b)(c)にその断面図を示す。

【0040】

本発明の第2の実施例は、第1の実施例と比べて、製造方法が容易という利点があるが、ゲート耐圧が劣る特徴があるため、低電圧用途の回路向けの構成とな

る。

【0041】

ここで、51は例えば $5 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物濃度をもつp型ウェル、52はチャンネルストッパー層となる例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度の高濃度不純物領域、53は例えば SiO_2 膜からなる側壁絶縁膜、54は例えばエピタキシャル成長によって形成された凸型シリコンFIN、55は例えば SiO_2 膜からなるゲート絶縁膜、57はたとえばポリシリコンからなる第1ゲート電極、58はソース・LDD領域、59はドレイン・LDD領域、60、61はゲート側壁絶縁膜、62はソース領域、63はドレイン領域、64はたとえばチタンシリサイドからなるゲート電極、65はたとえばチタンシリサイドからなるソース電極、66はたとえばチタンシリサイドからなるドレイン電極である。

【0042】

本構成によると、第1ゲート電極57とp型シリコンウェル51との分離の絶縁膜と、ゲート絶縁膜55を共通に形成しているので、製造方法が容易であり、ゲート電極部分の平坦性も優れている。

【0043】

次に、第2の実施形態に係るFINFETの製造方法の一例を、図13から図17の工程断面図を用いて説明する。p型シリコン基板上にn型FINFETを形成する。

【0044】

まず、図13(a)(b)(c)に示すように、p型シリコンウェル51に例えば SiO_2 からなる絶縁膜49を形成したのち、たとえばレジスト50をマスクに、絶縁膜49ならびに所望のp型シリコンウェル51を除去して、所望の開口部(図2とほぼ同様なので図示せず)を設け、例えばボロンを注入してアニール処理をして、パンチスルーストッパー層となるp型高濃度不純物領域52を形成する。

【0045】

こののち、例えば SiO_2 膜からなる側壁53を開口部に形成し、パンチスルーストッパー層上の露出したシリコン上に、例えばエピタキシャル成長でシリコ

ン F I N 5 4 ならびにソース・ドレインパッドとなる領域を形成する。

【0046】

次に、図14 (a) (b) (c) に示すように、例えばレジスト56をマスクにゲート電極を形成する所望の領域を窓明けして、F I N 5 4 の周囲の側壁絶縁膜53を除去し、エピタキシャル成長で形成したシリコン F I N 5 4 を露出し、露出した部分を例えば酸化してゲート絶縁膜55を形成する。

【0047】

次に、図15 (a) (b) (c) に示すように、レジスト56をマスクにポリシリコンを堆積し、シリコン F I N 5 4 をゲート絶縁膜55越しにくるむように隙間をうめて、第1ゲート電極57を形成する。そして、レジスト56を除去した後に、たとえばリンを注入して、ソース・L D D 領域58ならびにドレイン・L D D 領域59を形成する。

【0048】

次に、図16 (a) (b) (c) に示すように、ゲート側壁絶縁膜60、61を形成した後、例えばリンを注入してソース領域62およびドレイン領域63を形成する。

【0049】

次に、図17 (a) (b) (c) に示すように、前記ポリシリコンからなる第1ゲート電極57、ソース領域62およびドレイン領域63の上面を例えばチタンサリサイド化して、第2ゲート電極64、ソース電極65およびドレイン電極66を形成する。

【0050】

本構成によると、第1ゲート電極57とp型シリコンウェル51との分離の絶縁膜と、ゲート絶縁膜55を共通に形成しているので、製造が容易であり、ゲート電極部分の平坦性も優れている。もちろん、この実施の形態2に示される方法によっても、図12と同様、本実施形態によっても、F I N F E T のソース電極17およびドレイン電極18が位置する面と、M O S F E T のソース電極17およびドレイン電極18が位置する面とをシリコン基板1の同一の高さの面、すなわち、シリコン基板1の同一の面にすることができる。

【0051】

なお、実施の形態1、2においては、シリコン基板の上にシリコン半導体からなるF I Nをエピタキシャル成長で形成したが、たとえばシリコンゲルマニウム半導体からなるF I Nや、シリコンゲルマニウム半導体上の歪シリコンによるF I Nでもよい。

【0052】

また、F I Nをシリコン半導体、F I Nを形成するための側壁を絶縁膜としているが、選択エッチングが可能なシリコンゲルマニウム半導体とシリコン半導体の組み合わせで形成してもよい。

【0053】

また、絶縁膜はS i O₂膜にかぎらずS i N膜やH i g h-K材料でもよく、ゲート電極の材料もポリシリコンにかぎらず、Wなどの金属材料でもよい。

【0054】**【発明の効果】**

以上、本発明によれば、F I N F E Tがシリコン基板内に埋め込まれた状態で形成されるので、平坦性が向上し、プレーナーM O S F E Tと集積可能となり、工程を共有化することで、作製コストを削減することもできる。また、そのF I N F E TのF I Nは側壁を用いて形成するので、露光能力以上の微細化が可能であると同時に、安定して配置することができるなどの長所がある。

【図面の簡単な説明】**【図1】**

本発明の第1の実施形態におけるF I N F E Tの斜視図

【図2】

本発明の第1の実施形態におけるF I N F E Tの製造方法の工程断面図

【図3】

本発明の第1の実施形態におけるF I N F E Tの製造方法の工程断面図

【図4】

本発明の第1の実施形態におけるF I N F E Tの製造方法の工程断面図

【図5】

本発明の第1の実施形態における F I N F E T の製造方法の工程断面図

【図6】

本発明の第1の実施形態における F I N F E T の製造方法の工程断面図

【図7】

本発明の第1の実施形態における F I N F E T の製造方法の工程断面図

【図8】

本発明の第1の実施形態における F I N F E T の製造方法の工程断面図

【図9】

本発明の第1の実施形態における F I N F E T の製造方法の工程断面図

【図10】

本発明の第1の実施形態における F I N F E T の製造方法の工程断面図

【図11】

本発明の第1の実施形態における F I N F E T の製造方法の工程断面図

【図12】

本発明の第1の実施形態における F I N F E T とプレーナー M O S F E T を同一基板上に集積した断面図

【図13】

本発明の第2の実施形態における F I N F E T の製造方法の工程断面図

【図14】

本発明の第2の実施形態における F I N F E T の製造方法の工程断面図

【図15】

本発明の第2の実施形態における F I N F E T の製造方法の工程断面図

【図16】

本発明の第2の実施形態における F I N F E T の製造方法の工程断面図

【図17】

本発明の第2の実施形態における F I N F E T の製造方法の工程断面図

【図18】

本発明の第2の実施形態における F I N F E T の斜視図

【図19】

本発明の第1の従来例における F I N F E T の斜視図ならびに断面図

【図 20】

本発明の第2の従来例における F I N F E T の断面図

【図 21】

本発明の第2の従来例における F I N F E T とプレーナー M O S F E T を同一基板に集積したときの断面図

【符号の説明】

- 1 : (p 型の) シリコンウェル (シリコン基板)
- 2 : 絶縁膜
- 3 : 高濃度不純物領域
- 4 : 分離の絶縁膜
- 5 : 側壁の絶縁膜
- 6 : F I N
- 7 : レジスト膜
- 8 : ゲート絶縁膜
- 9 : 第1ゲート電極
- 10 : ソース・L D D 領域
- 11 : ドレイン・L D D 領域
- 12 : ゲート側壁絶縁膜
- 13 : ゲート側壁絶縁膜
- 14 : ソース領域
- 15 : ドレイン領域
- 16 : ゲート電極
- 17 : ソース電極
- 18 : ドレイン電極
- 19 : 分離領域

- 49 : 絶縁膜
- 50 : レジスト

51: (p型の) シリコンウェル (シリコン基板)

52: 高濃度不純物領域

53: 側壁絶縁膜

54: FIN

55: ゲート絶縁膜

56: レジスト

57: 第1ゲート電極

58: ソース・LDD領域

59: ドレイン・LDD領域

60: ゲート側壁絶縁膜

61: ゲート側壁絶縁膜

62: ソース領域

63: ドレイン領域

64: ゲート電極

65: ソース電極

66: ドレイン電極

101: SOI基板のBOX

102: シリコンFIN

103: ゲート電極

104: ソースパッド

105: ドレインパッド

106: ゲート酸化膜

201: p型Si基板

202: SiO₂膜

203: シリコンFIN

204: ゲート酸化膜

205: 第一ゲート電極

2 0 6 : 第二ゲート電極

2 0 7 : ゲート側壁絶縁膜

2 0 8 : ソース・ドレイン L D D 領域

2 0 9 : ソース領域

2 1 0 : ドレイン領域

2 1 1 : 層間絶縁膜

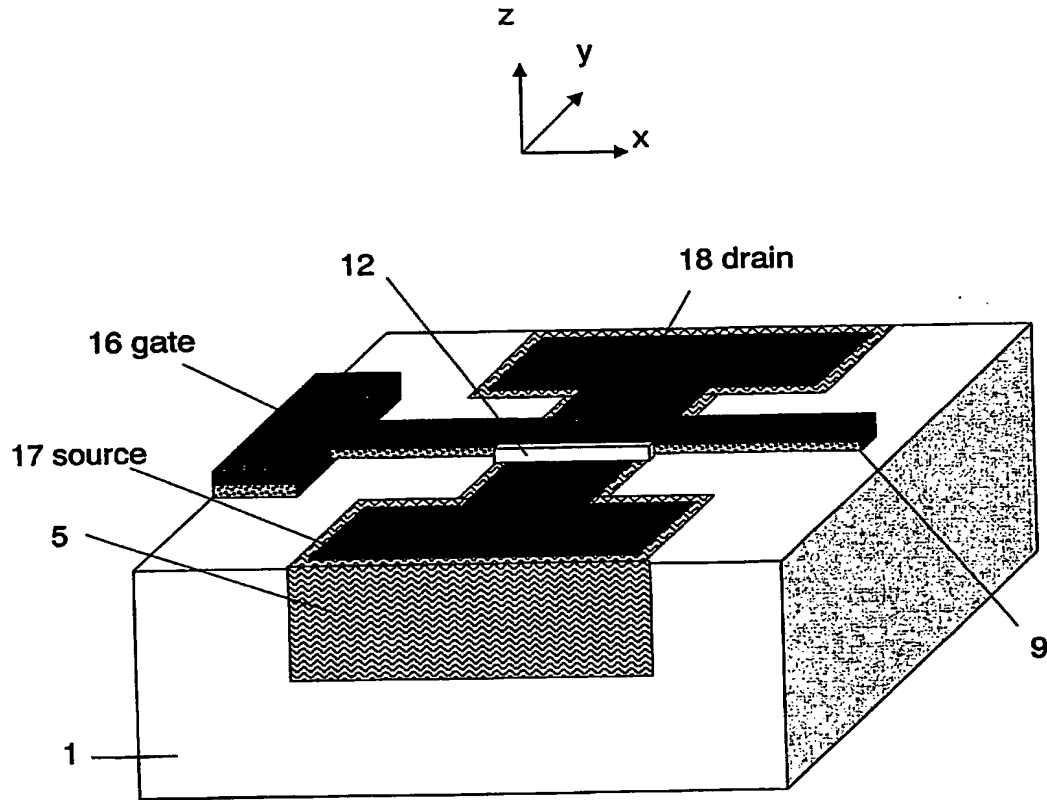
2 1 2 : ソース・ドレインコンタクトプラグ

2 1 3 : ソース電極

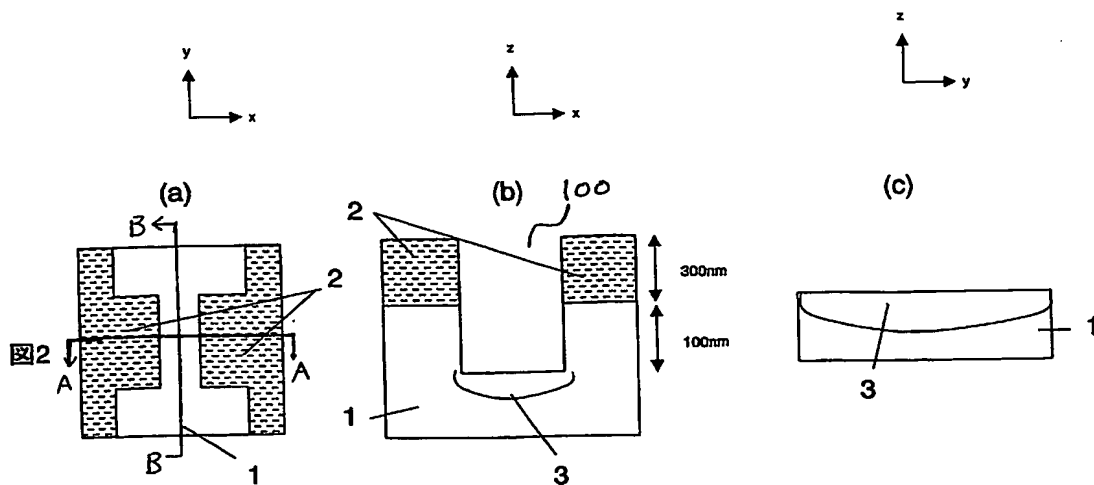
2 1 4 : ドレイン電極

【書類名】 図面

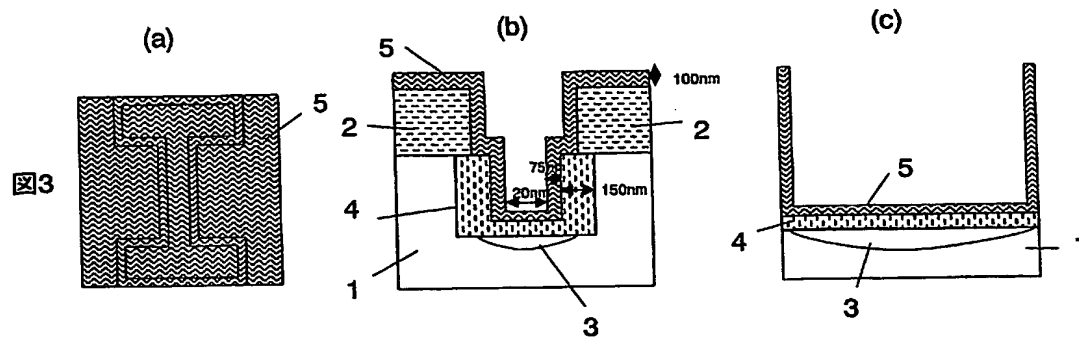
【図 1】



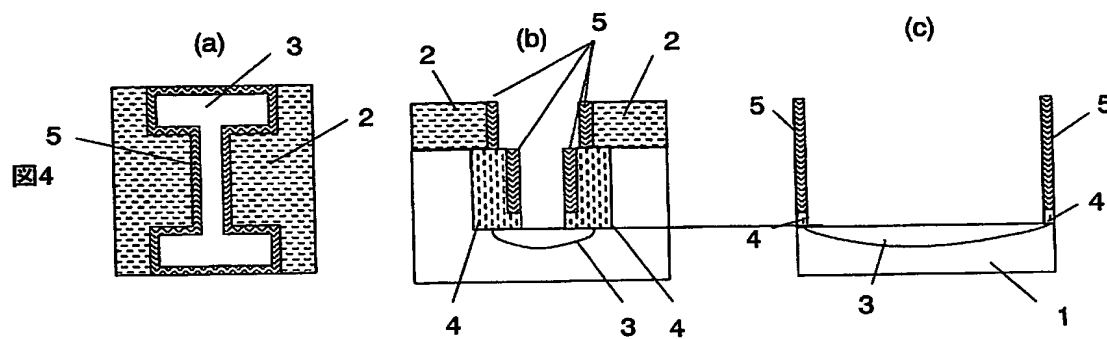
【図 2】



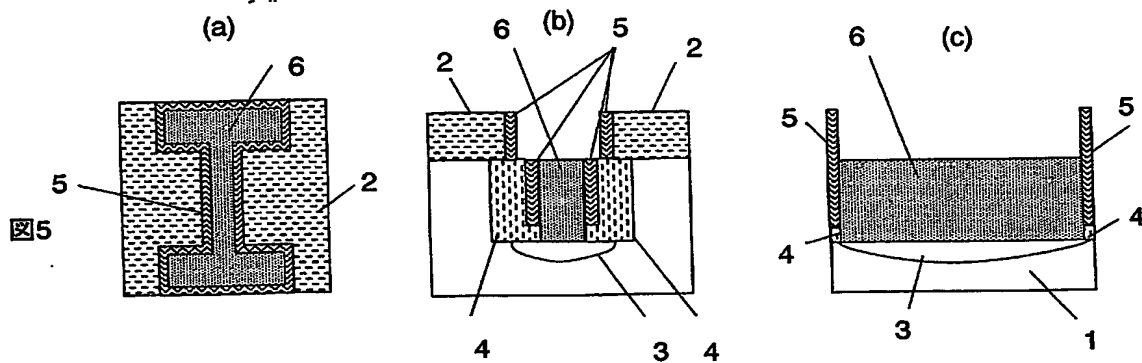
【図 3】



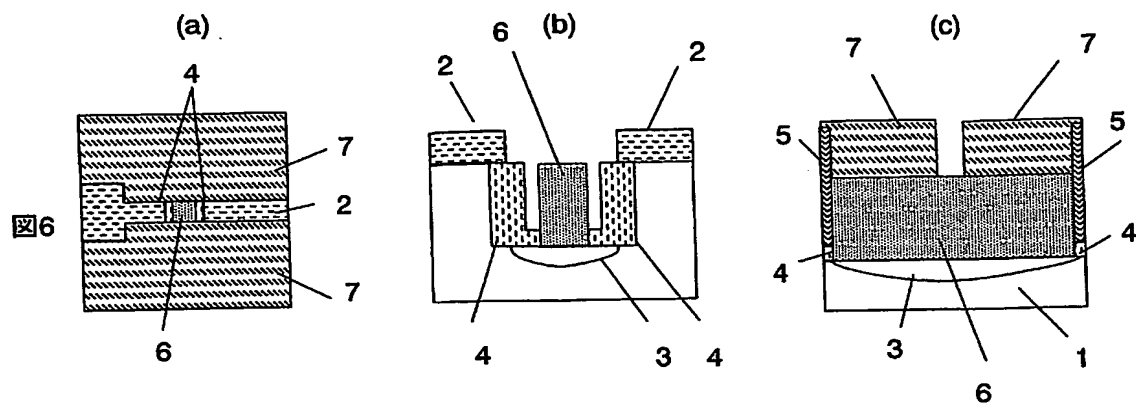
【図 4】



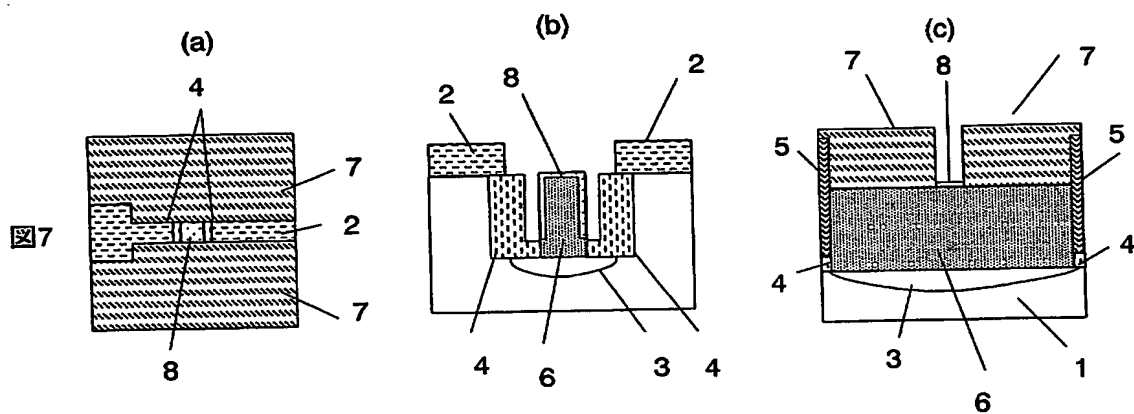
【図 5】



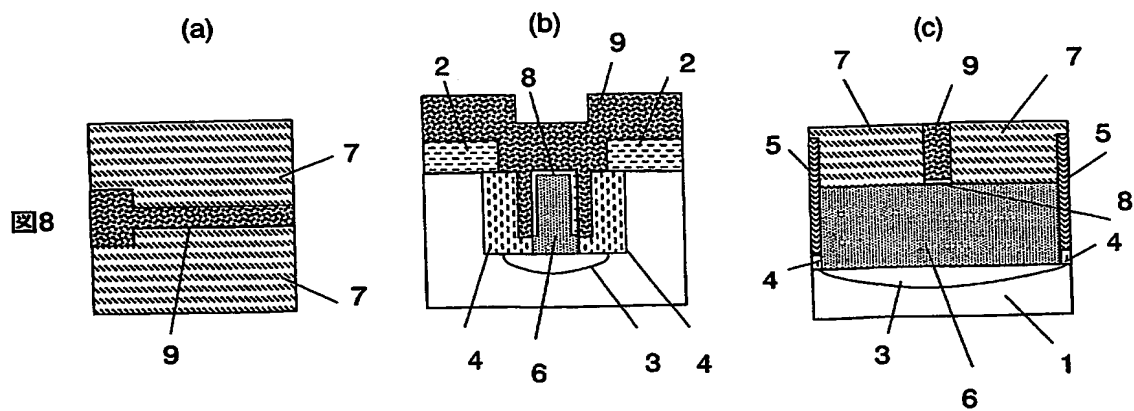
【図 6】



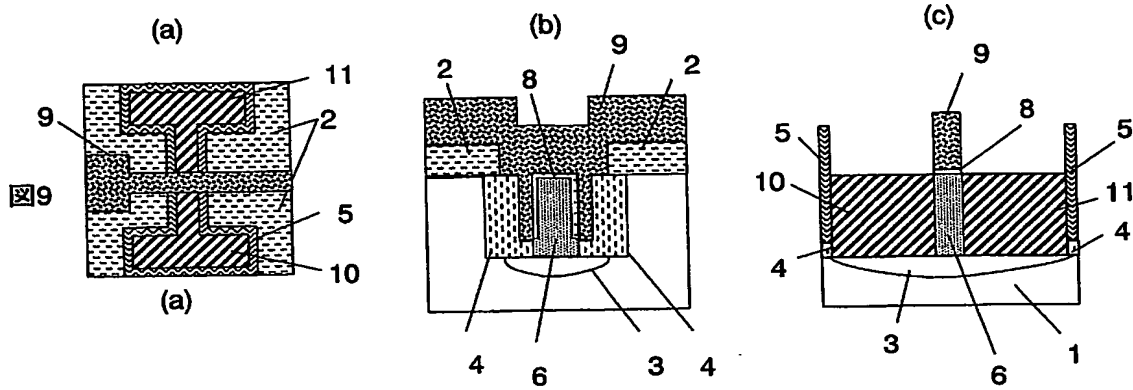
【図 7】



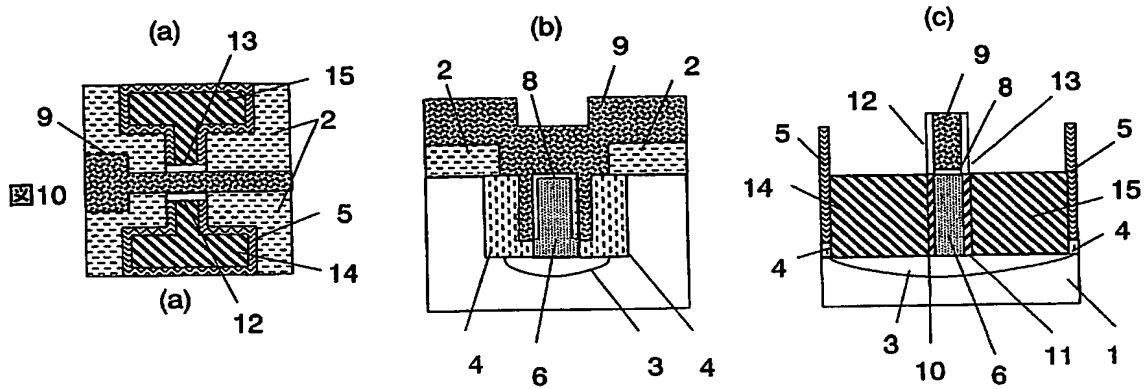
【図 8】



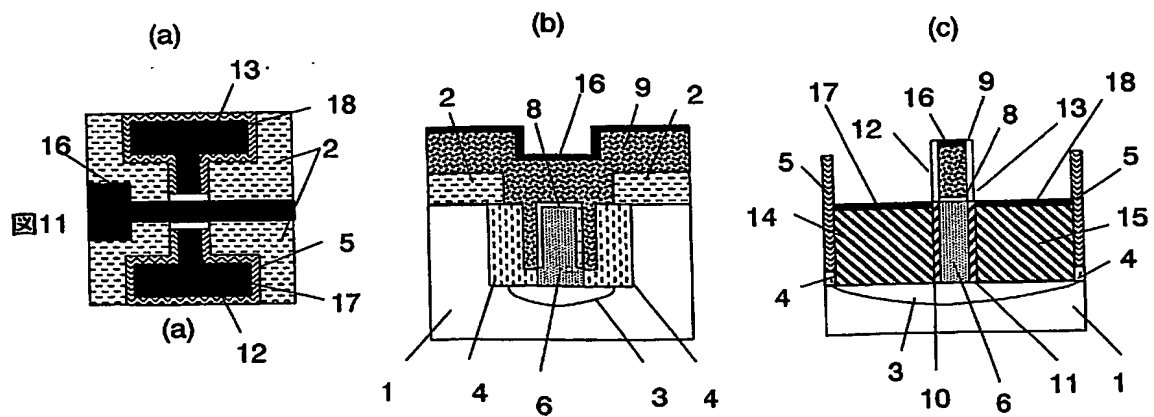
【図9】



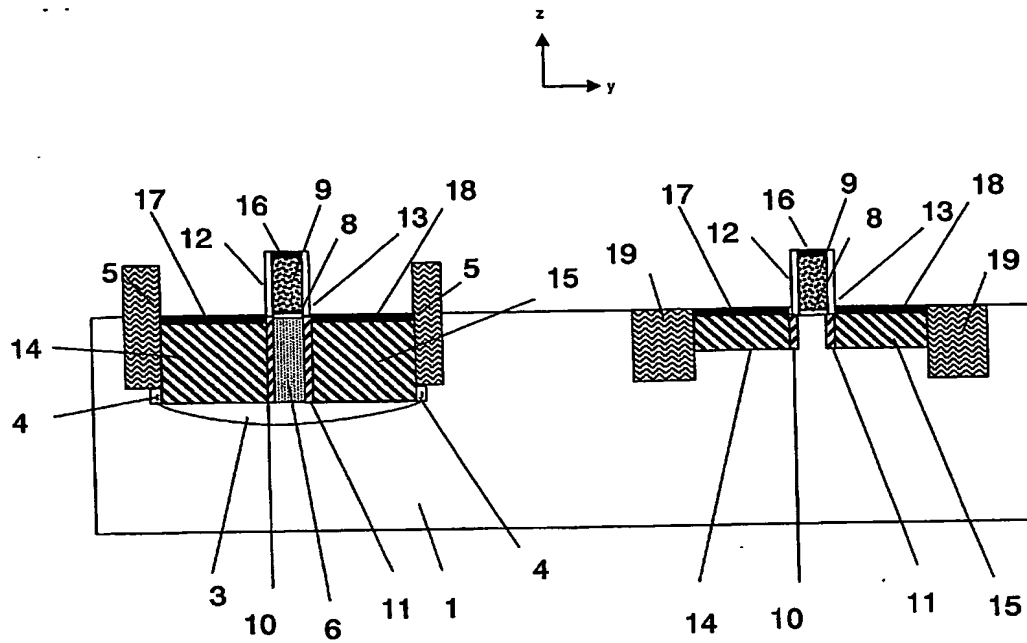
【図10】



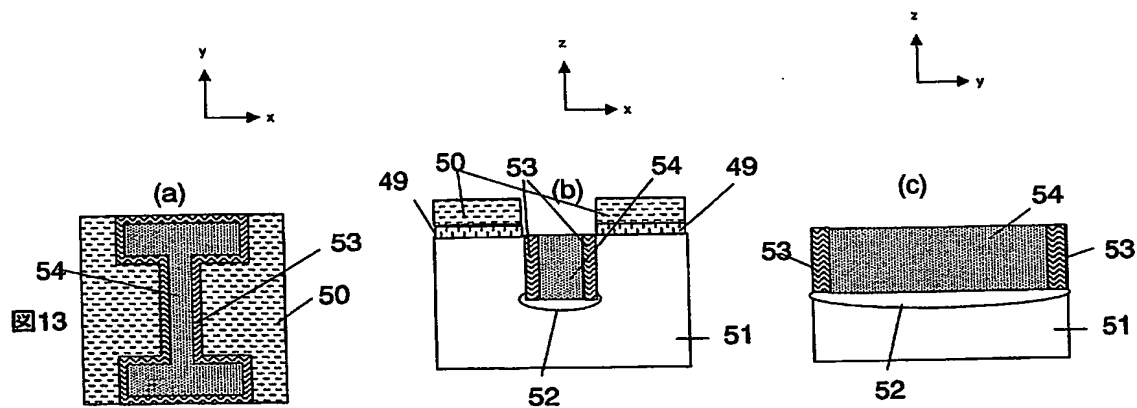
【図11】



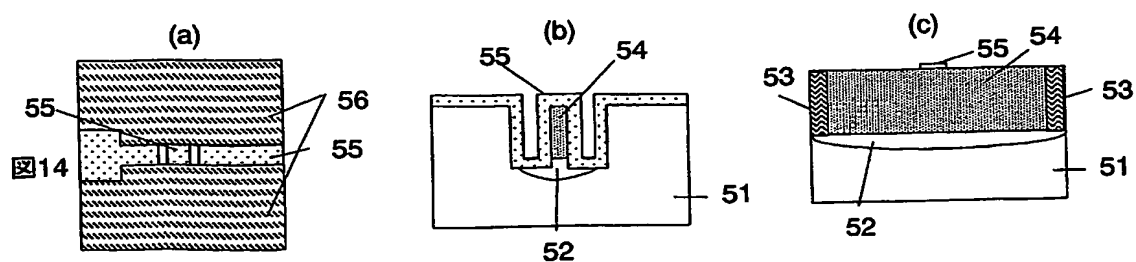
【図 12】



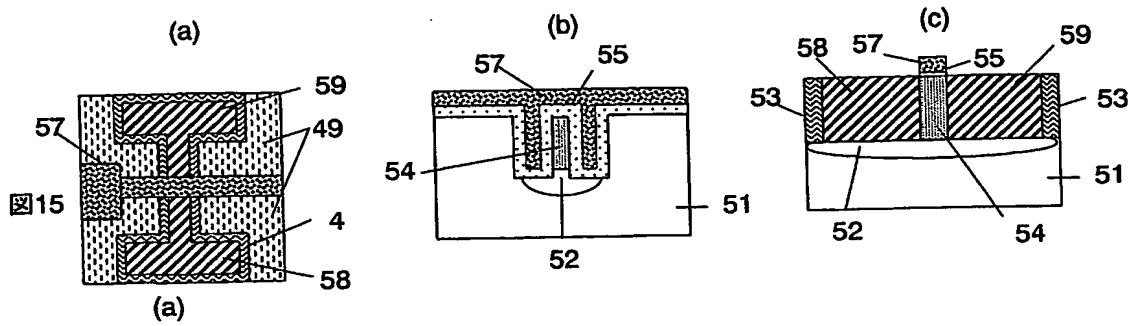
【図 13】



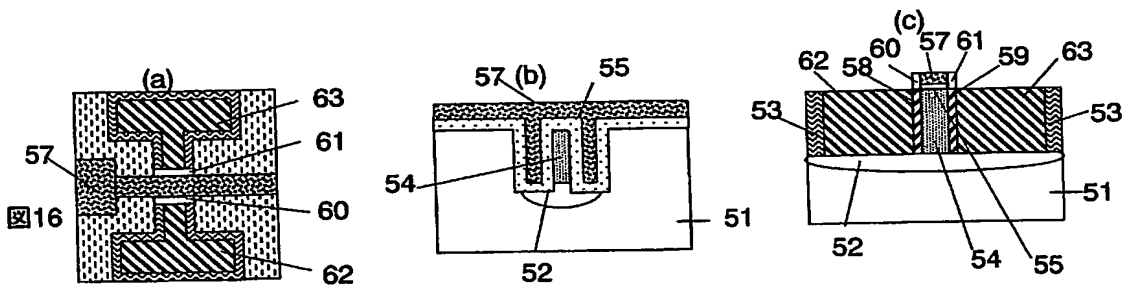
【図 14】



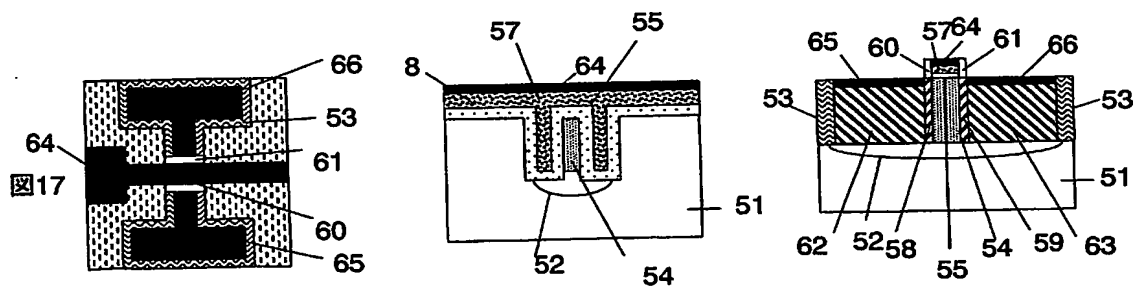
【図 15】



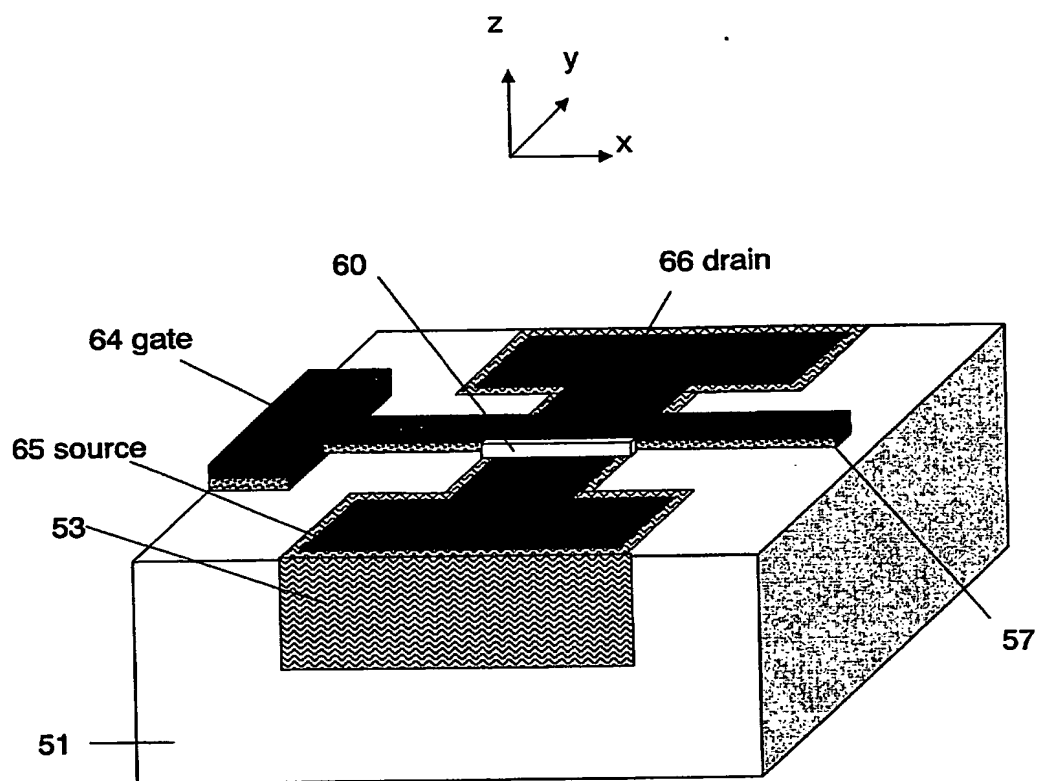
【図 16】



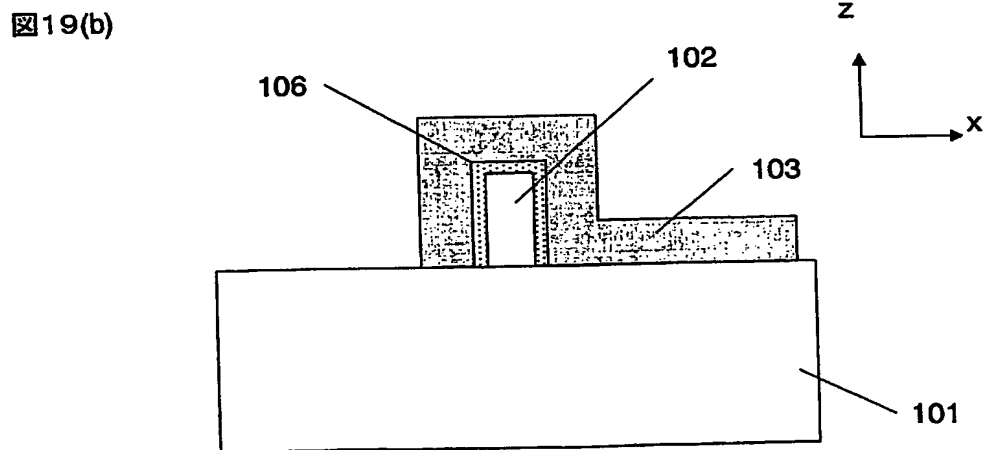
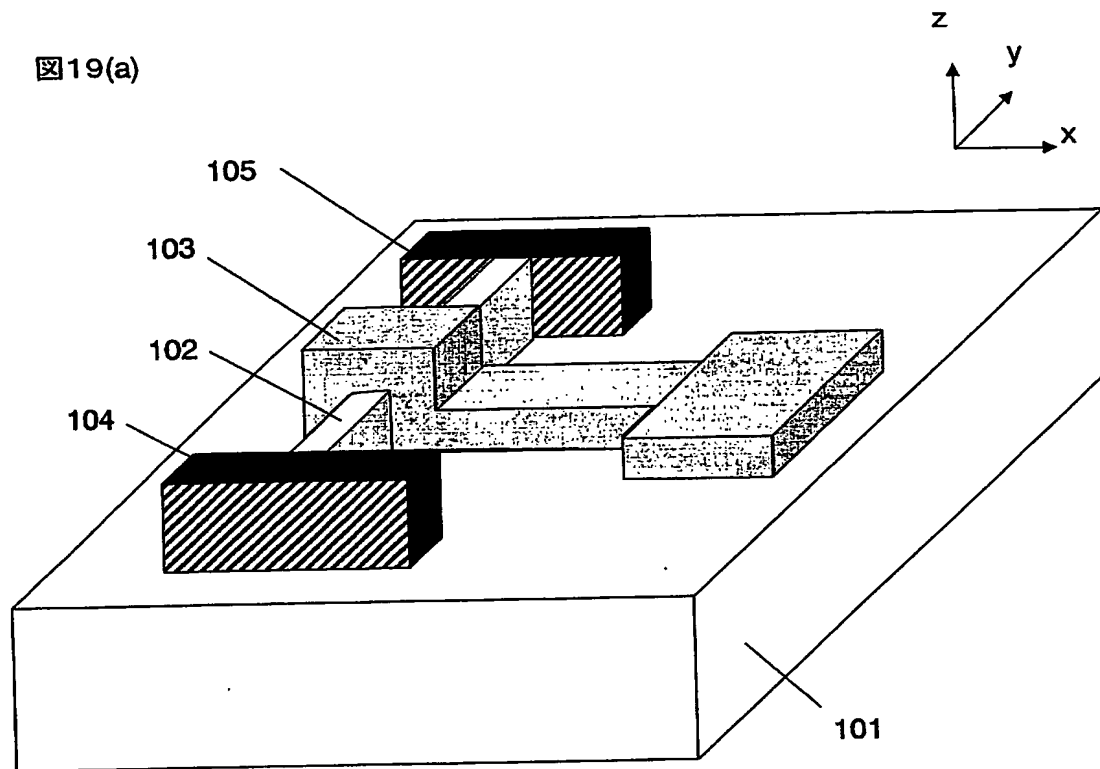
【図 17】



【図 18】



【図 19】



【図 20】

図20(a)

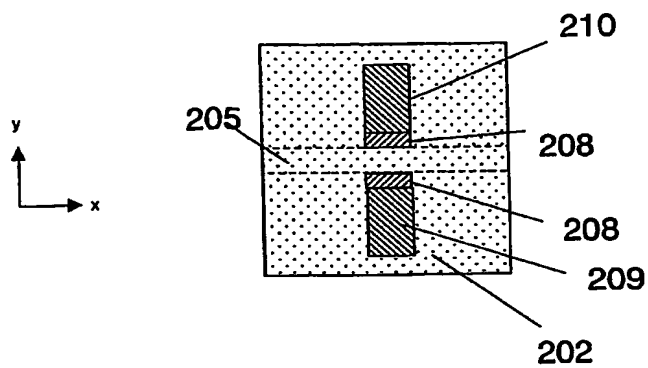


図20(b)

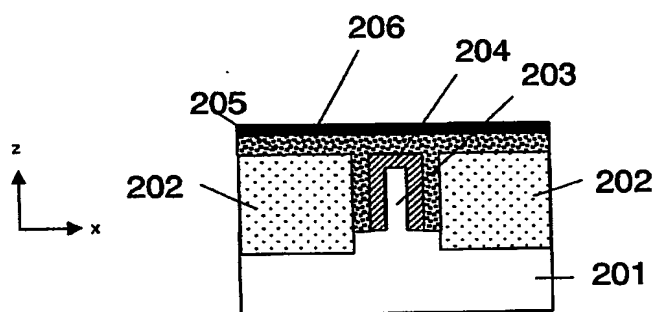
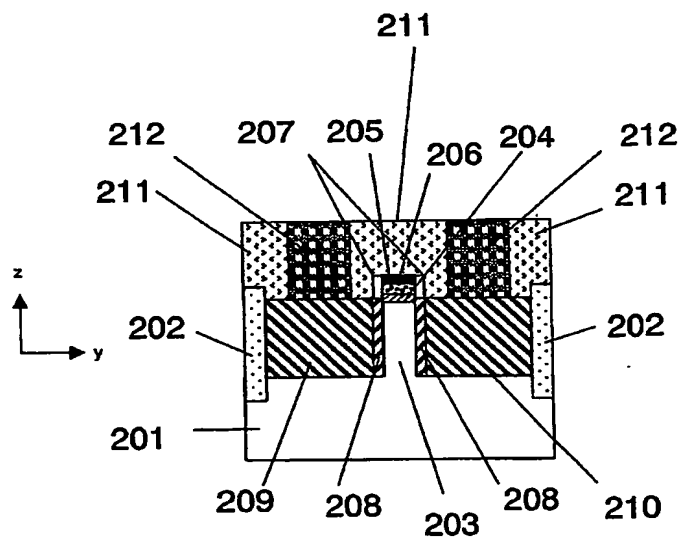
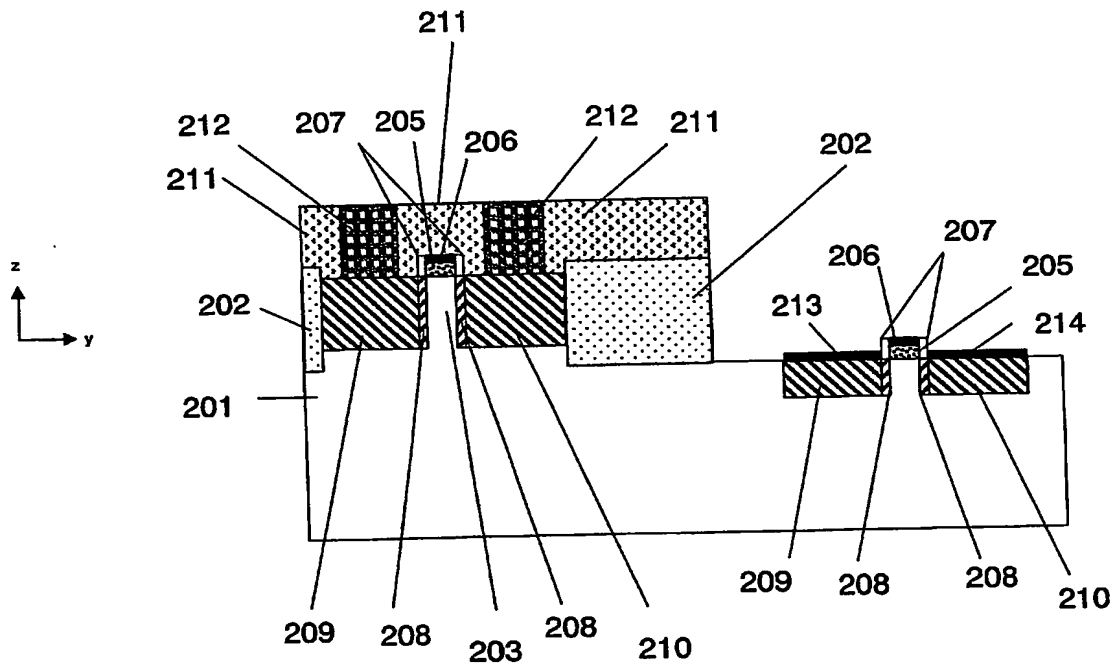


図20(c)



【図 21】



【書類名】 要約書

【要約】

【課題】 従来の F I N F E T は S O I 基板もしくはシリコン基板上に凸型 F I N を形成するため、平坦性に欠き、従来のプレーナー M O S F E T との集積が困難であった。

【解決手段】 シリコン基板 1 に溝を形成し、溝の中に分離絶縁膜 4 とシリコン F I N 6 とゲート絶縁膜 8 とゲート電極 9 を形成することで、突出のない F I N F E T を提供する。

【選択図】 図 1 1

特願 2 0 0 3 - 0 7 8 0 0 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**